

拒絶理由通知書

特許出願の番号	特願2002-004053
起案日	平成15年 4月 4日
特許庁審査官	堀田 和義 8840 5N00
特許出願人代理人	作田 康夫 様
適用条文	第29条第2項

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由

この出願の請求項1～7に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記

引用刊行物1：特開昭60-48525号公報 ← already filed
 引用刊行物2：特開昭60-191499号公報
 引用刊行物3：特開昭60-66460号公報
 引用刊行物4：特開昭60-167523号公報 ← already filed
 引用刊行物5：特開昭62-229952号公報

【請求項1に係る発明に対して】

1. 引用刊行物1には、CMOSで構成された半導体装置において、チャンネル長の短いMOSFETで構成される回路部に対するスタンバイ状態（請求項1に係る発明の「第2の状態」に相当）における電源の供給を、チャンネル長の長いMOSFETによって低減することが記載されている。なお、引用刊行物1に記載された発明（以下、「引用発明」という。）の通常動作状態は、請求項1に係る発明の「第1の状態」に相当する。

引用刊行物1には、CMOSFETに含まれるPチャネルMOSFET又はNチャネルMOSFETのいずれかのゲート・ソース間電圧を0Vとした場合に、ソース・ドレイン経路に回路動作上ほぼ零とみなせる電流よりも大きな電流が流れるMOSFETにより前記CMOSFET形成されることは記載されていない。

けれども、前記「ソース・ドレイン経路」は、ゲート・ソース間電圧が0VであるMOSFET（以下、「オフしているMOSFET」という。）のことを指しているのか、それとも、ゲート・ソース間電圧がしきい値を越えているMOSFET（以下、「オンしているMOSFET」という。）のことを指しているのか不明であり、もし、前記「ソース・ドレイン経路」が、オンしているMOSFETのことを指しているのであれば、そのソース・ドレイン経路に回路動作上ほぼ零とみなせる電流よりも大きな電流が流れるのは当然である。

また、前記「ソース・ドレイン経路」が、オフしているMOSFETのことを指しているとしても、例えば、引用刊行物2の第3頁右下欄や引用刊行物3に記載されているように、サブスレッショルド電流に対する閾値電圧が負、すなわち、ゲート・ソース間電圧が0Vであっても回路動作上ほぼ零とみなせる電流よりも大きな電流が流れるチャネル長の短いMOSFETは周知であって、該チャネル長の短いトランジスタを採用することは、当業者が必要に応じて為し得る程度のことにすぎないから、引用発明のCMOSFETに含まれるPチャネルMOSFET又はNチャネルMOSFETのいずれかのゲート・ソース間電圧を0Vとした場合に、オフしているMOSFETのソース・ドレイン経路に回路動作上ほぼ零とみなせる電流よりも大きな電流が流れるようにすることは、当業者ならば容易に想到し得るものである。

本願発明とは、直接関係がないと思われるが、引用刊行物4には、CMOSFETの貫通電流を通常動作状態とバックアップ状態とで切り換えることが記載されているので参考されたい。

【請求項2に係る発明に対して】

2. CMOSFETを構成するPチャネルMOSFETのゲートとNチャネルMOSFETのゲートを共通に接続するのは周知である。

【請求項3に係る発明に対して】

3. CMOSFETを構成するPチャネルMOSFETのドレインとNチャネルMOSFETのドレインとの接続点を出力ノードとするのは周知である。

【請求項4に係る発明に対して】

4. 引用刊行物5には、製造プロセス技術者が使用するスレッショルド電圧が、 V_T 定義
ドレイン・ソース間電流が、 $1\mu A$ の時のゲート・ソース間電圧で定義されることが記載されている。

そうすると、 $1\mu A$ よりも十分小さい、ゲート幅 1μ 当たりに換算すると $1nA$ であるドレイン・ソース間電流を、回路動作上ほぼ零とみなせる電流と定義する点に格別の困難性はない。

【請求項5に係る発明に対して】

発送番号 119388
発送日 平成15年 4月 8日 3 / 3

5. 半導体装置において周知のスケーリング則を適用して、MOSFETのチャネル長をサブミクロンオーダとした際に、動作電圧を0.5V～1Vとすることは、当業者ならば容易に想到し得るものである。

【請求項6に係る発明に対して】

6. 半導体装置を、マイクロプロセッサLSI又はダイナミック形メモリを含むLSIとする点に格別の困難性はない。

[追記]

補正する場合には、特願2002-4054号、特願2002-229399号のクレームと同一にならないように留意されたい。

Reference H89001879A

Dispatch No.119388

Dispatch Date: April 8, 2003

Notification of Reasons for Rejection

Patent Application No. 004053/2002

Drafting Date: April 4, 2003

Examiner of JPO: Kazuyoshi Hotta 8840 5N00

Agent for Applicant: Mr.Yasuo Sakuta

Applied Article: Article 29(2)

This patent application is rejected for the reason as stated below. If the applicant has any argument against the reason, such argument should be submitted within 60 days from the date on which this notification was dispatched.

Reason

The inventions of Claims 1 to 7 of this patent application cannot be granted for patent under the provision of Article 29(2) of the Patent Law because those skilled in the technical field to which the inventions belong before filing the present patent application could easily invented them on the basis of the inventions described in the following documents distributed in Japan or foreign countries before filing the present patent application.

Note

Cited Publication 1: Gazette of Japanese Patent Laid-Open
No. Sho 60-48525

Cited Publication 2: Gazette of Japanese Patent Laid-Open
No. Sho 60-191499

Cited Publication 3: Gazette of Japanese Patent Laid-Open
No. Sho 60-66460

Cited Publication 4: Gazette of Japanese Patent Laid-Open
No. Sho 60-167523

Cited Publication 5: Gazette of Japanese Patent Laid-Open
No. Sho 62-229952

[As to the invention of Claim 1]

1. The cited publication 1 has a description about a semiconductor device constituted by CMOSFET wherein a supply of power under a stand-by state (corresponding to "the second state" of the invention of Claim 1) to a circuit part comprised of MOSFETs each having a short channel length is reduced by using MOSFET 11 having a long channel length. Further, the normal operating state of the invention described in the cited publication 1 (hereinafter called as "the cited invention") corresponds to "the first state" of the invention of Claim 1.

Although the cited publication 1 has no description at all about a technical concept that if a gate-source

voltage in any one of P-channel type MOSFET or N-channel MOSFET contained in CMOSFET is set to 0 V, said CMOSFET is formed by MOSFETs where a larger current than a current which can be assumed to be substantially zero in view of a circuit operation flows through the source-drain paths of the MOSFETs, it is vague whether or not said "source-drain path" designates a source-drain path of MOSFET where the gate-source voltage is 0 V (hereinafter called as "turned-off MOSFET") or a source-drain path of MOSFET where the gate-source voltage exceeds a threshold value (hereinafter called as "turned-on MOSFET"). If said "source-drain path" designates the source-drain path of the turned-on MOSFET, it is natural to say that the larger current than a current that can be assumed to be substantially zero in view of the circuit operation flows through its source-drain path.

In addition, even if said "source-drain path" designates the source-drain path of the turned-off MOSFET, it is well known in the art to provide MOSFET having a short channel length that a threshold voltage in respect to a subthreshold current is negative, i.e. even if the gate-source voltage is 0 V, a larger current than a current that can be assumed to be substantially zero in view of the circuit operation flows, as already described, for example, in the right lower column of page 3 of the cited publication

2 or the cited publication 3. And employing the well known MOSFET having a short channel length is such a mere technical level as one that those skilled in the art can attain as needed, so that it could easily be invented by those skilled in the art to attain a larger current than a current which can be assumed to be substantially zero in view of the circuit operation flowing through the source-drain path of the turned-off MOSFET in the case that the gate-source voltage of any one of P-channel MOSFET or N-channel MOSFET contained in CMOSFET of the cited invention is set to 0 V.

Although it can be considered that the cited publication 4 has no direct relationship with the present invention, the cited publication 4 has a description that a through-pass current of CMOSFET is switched over between a normal operating state and a back-up state. Please refer to the cited publication 4.

[As to the invention of Claim 2]

2. It is well known in the art to connect in common the gate of P-channel MOSFET with the gate of N-channel MOSFET constituting CMOSFET.

[As to the invention of Claim 3]

3. It is well known in the art that a common connecting point between the drain of P-channel MOSFET and the drain of

N-channel MOSFET constituting CMOSFET is applied as an output node.

[As to the invention of Claim 4]

4. The cited publication 5 has a description that a threshold voltage used by a manufacturing engineer is defined by using a gate-source voltage with a drain-source current being 1 μ A.

Thus, there occurs no specific difficulty in view of defining a current which can be assumed to be substantially zero in view of the circuit operation as the drain-source current of 1 nA, which is sufficiently smaller than 1 μ A, per gate width of 1 μ m.

[As to the invention of Claim 5]

5. In the case that a channel length of MOSFET is set to have an order of sub-micron size by applying a well-known scaling rule in a semiconductor device, setting the operating voltage to 0.5 V to 1 V could easily be attained by those skilled in the art.

[As to the invention of Claim 6]

6. There occurs no specific difficulty in that the semiconductor device is applied as a microprocessor LSI or LSI containing a dynamic-type memory.

[Additional Note]

In the case of filing an amendment, it is to be noted that the claims become different from those of Japanese Patent Application No.2002-4054 and Japanese Patent Application No.2002-229399, respectively.